

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Shih-Chang Lee, et. al
Application No. : 10/604,791
Filed : August 18, 2003
For : SEMICONDUCTOR PACKAGE MODULE AND
MANUFACTURING METHOD THEREOF
Examiner :



COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:91119483,
filed on:08/28/2002.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: Nov. 20, 2003

By:

Belinda Lee

Registration No.: 46,863

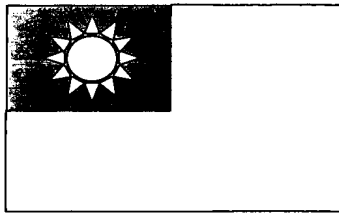
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed, which is identified hereunder:

申請日：西元 2002 年 08 月 28 日
Application Date

申請案號：091119483
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日
Issue Date

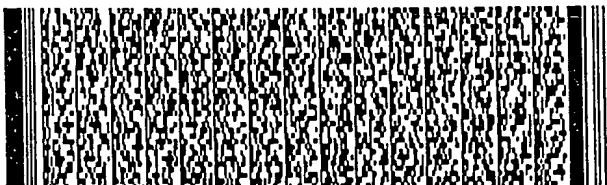
發文字號：09220915780
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	封裝模組及其製程
	英文	Semiconductor Package Module and Process Thereof
二、 發明人	姓名 (中文)	1. 李士璋 2. 翁國良 3. 戴惟璋 4. 李政穎
	姓名 (英文)	1. Shih-Chang Lee 2. eng, Gwo-Lian 3. Tai, Wei-Chang 4. Lee Cheng-Yin
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 高雄縣大社鄉民治路43號 2. 高雄市苓雅區凱旋二路103巷52號 3. 高雄市苓雅區輔仁路195號 4. 台南市育平七街2號6樓之3
三、 申請人	姓名 (名稱) (中文)	1. 日月光半導體製造股份有限公司
	姓名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 高雄市楠梓加工出口區經三路26號
	代表人 姓名 (中文)	1. 張虔生
	代表人 姓名 (英文)	1. Chien-Sheng Chang

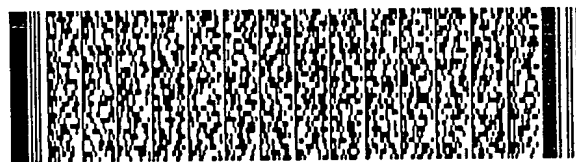


四、中文發明摘要 (發明之名稱：封裝模組及其製程)

一種封裝模組製程，其要提供一基板、至少一第一晶片、至少一第二晶片。首先將第一晶片以其背面貼覆到基板之晶片座上，並且打上多個導線，使第一晶片與基板電性連接。接下來，形成多個凸塊到第二晶片上，使每一凸塊之一端分別與第二晶片之接點接合，接著，再使每一凸塊之另一端分別與基板之接點接合，使第二晶片固定到基板上，並且第二晶片與基板電性連接。然後，形成一封裝材料同時包覆第一晶片、第二晶片、導線、凸塊及基板。

英文發明摘要 (發明之名稱：Semiconductor Package Module and Process Thereof)

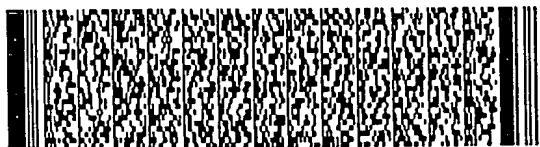
A semiconductor module process includes the following steps. First, a substrate, at least one first chip and at least one second chip are provided. Subsequently, the first chip on the backside thereof is mounted on the chip pad of the substrate and many wires are bonded such that the first chip is electrically connected with the substrate. Next, many bumps are formed onto the second chip and thus, each bump at an end is mounted on a conductive pad of the second chip.



四、中文發明摘要 (發明之名稱：封裝模組及其製程)

英文發明摘要 (發明之名稱：Semiconductor Package Module and Process Thereof)

Subsequently, each bump at the other end is mounted onto a conductive pad of the substrate and hence, the second chip is mounted onto the substrate and is electrically connected with it. Afterwards, an encapsulating compound is formed to cover the first chip, the second chip, wires, bumps and the substrate.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

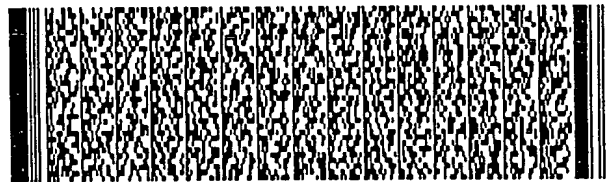
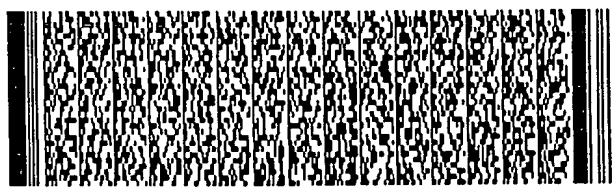
五、發明說明 (1)

本發明是有關於一種封裝模組及其製程，且特別是有關於一種可以簡化製程之封裝模組及其所對應的製程。

近年來，隨著電子技術的日新月異，高科技電子產品也相繼問世，因而更人性化、功能性更佳之電子產品不斷推陳佈新，然而各種產品無不朝向輕、薄、短、小的趨勢設計，以提供更便利舒適的使用。因此，就半導體封裝的領域而言，許多封裝的形式均是利用多晶片封裝的概念來設計其封裝架構，以縮減整體電路體積的尺寸，並提高電性效能。

請參照第1圖，其繪示習知封裝模組之剖面示意圖。封裝模組100包括一基板110、一第一晶片130及一第二晶片150，其中基板110具有一基板表面112，並且基板110還具有多個第一接點122、多個第二接點124及一晶片座126，均配置在基板表面112上，而第一接點122係環繞在晶片座126的周圍，第二接點124係矩陣排列在基板表面112上。

另外，第一晶片130具有一第一主動表面132及對應之一第一晶片背面142，並且第一晶片130還具有多個第一晶片接點134，配置在第一主動表面132上，而第一晶片130係藉由一黏著材質144並以其第一晶片背面142貼覆到晶片座126上，同時透過打上導線150的方式，使第一晶片130與基板110電性連接，其中每一導線150之一端分別與第一接點122之一接合，而每一導線150之另一端分別與第一晶片接點134之一接合。一封裝材料152係包覆第一晶片



五、發明說明 (2)

130、導線150及基板表面112，透過封裝材料152可以保護第一晶片130及導線150。

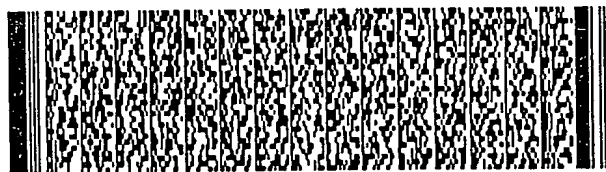
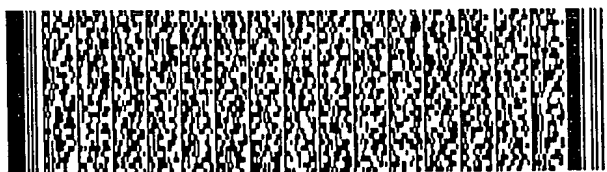
此外，第二晶片160具有一第二主動表面162及對應之一第二晶片背面172，並且第二晶片160還具有多個第二晶片接點164，其係以矩陣的形式配置在第二主動表面162上。第二主動表面162係朝向基板表面112，並且透過凸塊180可以使第二晶片160固定到基板110上且與基板110電性連接，每一凸塊180之一端係分別與第二晶片接點164之一接合，而每一凸塊180之另一端係分別與第二接點124之一接合。一底膠182(underfill)係填充在第二晶片表面162與基板表面112之間，並且底膠182會包覆凸塊180的周圍，透過底膠182可以吸收基板110與第二晶片160間因熱膨脹係數不同而產生的應力。

然而就其製程而言，係分別利用兩道步驟形成封裝材料152及底膠182，如此製作封裝材料152及底膠182的過程甚為繁複且不具效率性。並且由於封裝材料152與底膠182之間係為分開的配置，此種結構容易造成封裝模組100存在有甚為嚴重的翹曲(warp)現象。

因此本發明的目的之一就是在提供一種封裝模組及其製程，可以簡化其封膠的製程。

本發明的目的之二就是在提供一種封裝模組及其製程，可以減緩多晶片封裝模組之翹曲程度。

為達成本發明之上述和其他目的，提出一種封裝模組製程，其要提供一基板，基板具有一基板表面，並且基

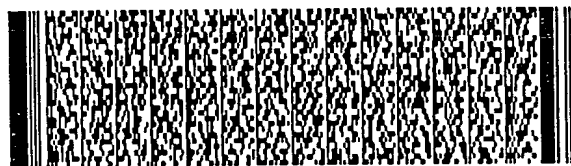


五、發明說明 (3)

板還具有多個第一接點、多個第二接點及一晶片座，均配置在基板表面上，而第一接點係環繞在晶片座的周圍。接著，還要提供至少一第一晶片，第一晶片具有一第一主動表面及對應之一第一晶片背面，並且第一晶片還具有多個第一晶片接點，配置在第一主動表面上。之後，還要提供至少一第二晶片，第二晶片具有一第二主動表面及對應之一第二晶片背面，並且第二晶片還具有多個第二晶片接點，配置在第二主動表面上。接下來，便將第一晶片以其第一晶片背面貼覆到晶片座上，並且打上多個導線，使第一晶片與基板電性連接，其中每一導線之一端分別與第一接點之一接合，而每一導線之另一端分別與第一晶片接點之一接合。接下來，形成多個凸塊到第二晶片上，使每一凸塊之一端分別與第二晶片接點之一接合，接著，再使每一凸塊之另一端分別與第二接點之一接合，使第二晶片固定到基板上，並且第二晶片與基板電性連接。然後，形成一封裝材料同時包覆第一晶片、第二晶片、導線、凸塊及基板表面。

然而本發明的多晶片封裝模組製程並非侷限於上述的方式，亦可以在第二晶片透過凸塊固定到基板上之後，才將第一晶片以其第一晶片背面貼覆到晶片座上，之後，再打上導線使第一晶片與基板電性連接。

依照本發明的一較佳實施例，其中第一晶片可以是一功能性晶片，而第二晶片可以是一記憶體晶片。另外，第二晶片背面可以暴露於封裝材料外，而在形成封裝材料



五、發明說明 (4)

同時包覆第一晶片、第二晶片、導線、凸塊及基板表面之後，還要提供一散熱片，使散熱片與封裝材料及第二晶片背面接觸，增強多晶片模組之散熱功能。再者，封裝材料在灌模時的液態溫度要低於凸塊之熔點溫度。

綜上所述，本發明之封裝模組及其製程，僅需透過一道封膠的步驟，便可以將封裝材料同時並且一體成型地包覆第一晶片、第二晶片、導線及凸塊，如此在封裝製程上甚為省時且具效率性。並且由於封裝材料係一體成型地包覆第一晶片、第二晶片、導線及凸塊，此種結構可以降低多晶片封裝模組之翹曲程度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標示說明：

100：封裝模組

110：基板

112：基板表面

122：第一接點

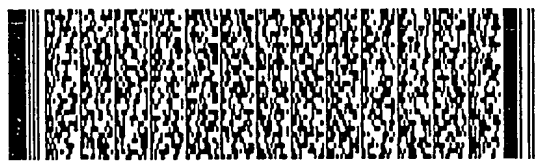
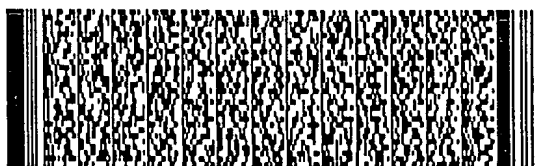
124：第二接點

126：晶片座

130：第一晶片

132：第一主動表面

134：第一晶片接點



五、發明說明 (5)

142 : 第一晶片背面
144 : 黏著材質
150 : 導線
152 : 封裝材料
160 : 第二晶片
162 : 第二主動表面
164 : 第二晶片接點
172 : 第二晶片背面
180 : 凸塊
182 : 底膠
200 : 封裝模組
210 : 基板
212 : 基板表面
222 : 第一接點
224 : 第二接點
226 : 晶片座
230 : 晶片
232 : 主動表面
234 : 晶片接點
242 : 晶片背面
244 : 黏著材質
250 : 導線
260 : 晶片
262 : 主動表面



五、發明說明 (6)

264 : 晶片接點
272 : 晶片背面
280 : 凸塊
290 : 模具
292 : 空穴
294 : 封裝材料
296 : 散熱片
310 : 基板
326 : 晶片座
330 : 晶片
350 : 導線
360 : 晶片
362 : 晶片背面
370 : 載板
371 : 載板之晶片座
372 : 子導線
373 : 載板之接點
374 : 子封裝材料
380 : 凸塊
394 : 封裝材料
399 : 封裝結構體
410 : 基板
426 : 晶片座
430 : 晶片



五、發明說明 (7)

- 450 : 導線
- 460 : 晶片
- 461 : 晶片接點
- 470 : 載板
- 472 : 子凸塊
- 473 : 載板之接點
- 480 : 凸塊
- 482 : 填充材料
- 494 : 封裝材料
- 499 : 封裝結構體

實施例

請參照第2圖、第4圖、第5圖及第6圖，其繪示依照本發明一較佳實施例之一種多晶片封裝模組製程的剖面放大示意圖。請先參照第2圖，首先提供一基板210，基板210具有一基板表面212，並且基板210還具有多個第一接點222、多個第二接點224及一晶片座226，均配置在基板表面212上，而第一接點222係環繞在晶片座226的周圍，第二接點224係矩陣排列在基板表面212上。

還要提供一晶片230，晶片230可以是功能性晶片，比如為圖形晶片或控制晶片等，晶片230具有一主動表面232及對應之一晶片背面242，並且晶片230還具有多個晶片接點234，配置在晶片230之主動表面232上。接著將一黏著材質244塗佈到晶片座226上，之後透過黏著材質



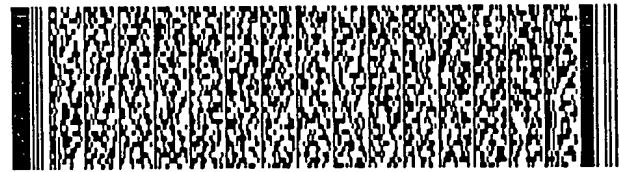
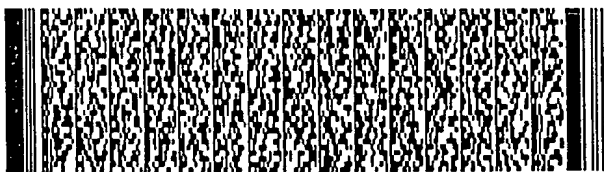
五、發明說明 (8)

244，便可以將晶片230以其晶片背面242貼覆到晶片座226上。接下來，可以透過打上導線250的方式，使晶片250與基板210電性連接，其中每一導線250之一端分別與基板210之第一接點222之一接合，而每一導線250之另一端分別與晶片接點234之一接合。

請參照第2圖，接著還要提供至少一封裝結構體299，在本實施例中，封裝結構體299係由一晶片260及多個凸塊280所構成，其中晶片260可以是記憶體晶片，比如為快閃記憶體(flash memory)、動態隨機存取記憶體(DRAM)或靜態隨機存取記憶體(SRAM)等，晶片260具有一主動表面262及對應之一晶片背面272，並且晶片260還具有多個晶片接點264，其係以矩陣的形式配置在主動表面262上。而每一凸塊280之一端分別與晶片接點264之一接合。

接下來，便進行封裝結構體299與基板210接合的製程，其係利用迴焊的方式將每一凸塊280之另一端分別與基板210之第二接點224之一接合，使得透過凸塊280可以使封裝結構體299固定到基板210上且與基板210電性連接，其中晶片260之主動表面262係朝向基板表面212，而形成如第4圖所示的樣式。

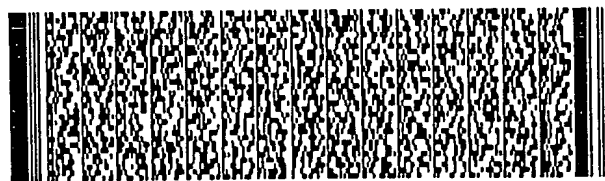
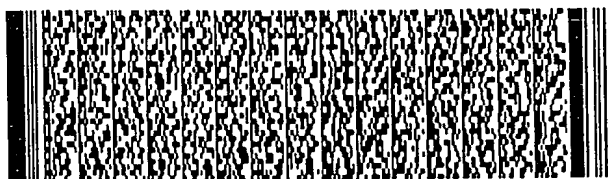
接下來，請參照第5圖，便將晶片230、封裝結構體299及基板210置入一模具290中，模具290具有一空穴292，可以容納晶片230、封裝結構體299及導線250。接著進行封膠製程(encapsulating)，將一封裝材料294灌入空



五、發明說明 (9)

穴292中，然後進行冷卻、脫模等步驟，而形成如第6圖所示的結構，其中封裝材料294係一體成型地包覆晶片230、封裝結構體299之凸塊280、封裝結構體299之晶片260、導線250及基板表面212，如此封裝模組200便製作完成。故藉由封裝材料294可以保護晶片230、晶片260及導線250，並且封裝材料294會包覆凸塊280的周圍，透過封裝材料294可以吸收基板210與晶片260間因熱膨脹係數不同而產生的應力。此外，在較佳的情況下，封裝材料294在灌模時的液態溫度要低於凸塊280之熔點溫度。另外，在封膠的過程中，晶片背面272可以頂住空穴292的底部，使得在灌模時，封裝材料294並不會滲到晶片背面272與空穴292的底部之間，如此晶片背面272可以暴露於封裝材料294之外，而可以加速晶片260的散熱速度。之後，還可以將一散熱片296架設到封裝材料294及晶片背面272上，使散熱片296可以與封裝材料294及晶片背面272接觸，如此可以提高晶片230及晶片260的散熱速率。

如上所述，本發明僅需透過一道封膠的步驟，便可以將封裝材料294同時並且一體成型地包覆晶片230、晶片260、導線250及凸塊280，如此在封裝製程上甚為省時且具效率性。並且由於封裝材料294係一體成型地包覆晶片230、晶片260、導線250及凸塊280，此種結構可以降低封裝模組200之翹曲程度，並且可以降低成本。另外，由於封裝材料294還包覆凸塊280，因此可以提高凸塊280與晶片接點264接合之可靠度及凸塊280與基板210之第二接點

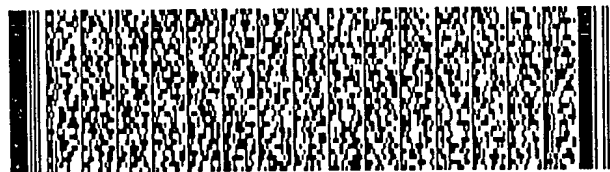
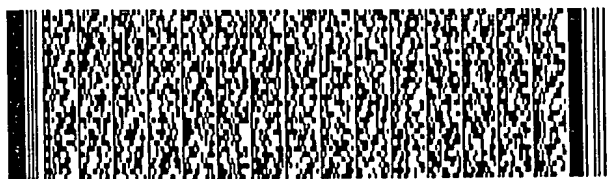


五、發明說明 (10)

224 接合之可靠度。

在上述的製程中，係先將一晶片固定到基板上之後，再以打線的方式使此晶片與基板電性連接，接下來才進行將封裝結構體固定到基板上的製程，並且透過凸塊可以使封裝結構體與基板電性連接。然而本發明的多晶片封裝模組製程並非侷限於上述的方式，請參照第3圖、第4圖、第5圖及第6圖，亦可以在封裝結構體299透過凸塊280固定到基板210上之後，才將晶片230以其晶片背面242貼覆到晶片座226上，之後，再打上導線250使晶片230與基板210電性連接，接下來之封膠製程係與前述之製程雷同，在此便不再贅述。

另外，在上述的實施例中，封裝結構體係由一晶片及多個凸塊所構成，然而本發明之封裝結構體並非侷限於上述的應用，亦可以是如第7圖所示的結構。第7圖係繪示依照本發明再一較佳實施例之一種多晶片封裝模組的剖面放大示意圖。封裝結構體399亦可以由一晶片360、一載板370、多個凸塊380、多個子導線372及一子封裝材料374所構成，其中晶片360係以其晶片背面362貼合到載板370之晶片座371上，藉由多個子導線372使晶片360與載板370電性連接，子封裝材料374係包覆晶片360、子導線372及載板370，而每一凸塊380之一端係與載板370之接點373之一接合。另外，就製程而言，可以先將晶片330貼附到基板310之晶片座326上之後，再進行打線製程使晶片330可以透過多個導線350與基板310電性連接，接著進行迴焊製

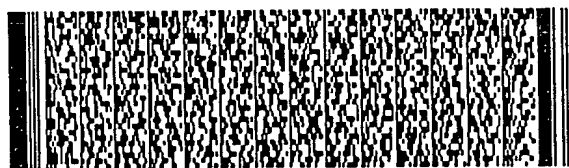


五、發明說明 (11)

程使得封裝結構體399可以透過凸塊380接合到基板310上並與基板310電性連接，最後再進行封膠製程，使得封裝材料394可以一體成型地包覆晶片330、封裝結構體399之子封裝材料374、封裝結構體399之凸塊380、封裝結構體399之載板370、子導線350及基板310。此外，就製程而言，亦可以先進行迴焊製程使得封裝結構體399可以透過凸塊380接合到基板310上並與基板310電性連接，接著再將晶片330貼附到基板310之晶片座326上，並且還進行打線製程使晶片330可以透過多個子導線350與基板310電性連接，最後再進行封膠製程，使得封裝材料394可以一體成型地包覆晶片330、封裝結構體399之子封裝材料374、封裝結構體399之凸塊380、封裝結構體399之載板370、子導線350及基板310。

然而，封裝結構體並非侷限於上述實施例所示的樣式，亦可以是如第8圖所示的結構。第8圖係繪示依照本發明又一較佳實施例之一種多晶片封裝模組的剖面放大示意圖。封裝結構體499亦可以由一晶片460、一載板470、多個子凸塊472、一填充材料482及多個凸塊480所構成，其中晶片460係透過子凸塊472固定到載板470上並與載板470電性連接，子凸塊472之一端係與晶片接點461接合，子凸塊472之另一端係與載板470之接點471接合。填充材料482係填充到晶片460與載板470之間，並且會包覆子凸塊472。凸塊480係與載板470之接點473接合。

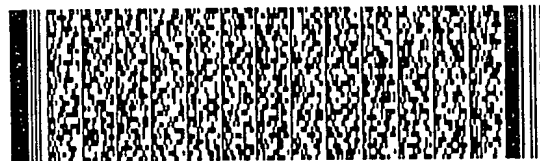
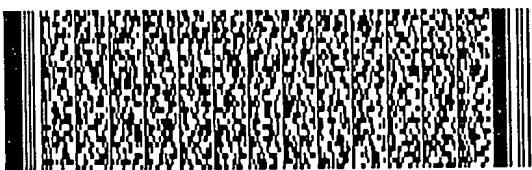
另外，就製程而言，可以先將晶片430貼附到基板



五、發明說明 (12)

410之晶片座426上之後，再進行打線製程使晶片430可以透過多個導線450與基板410電性連接，接著進行迴焊製程使得封裝結構體499可以透過凸塊480接合到基板410上並與基板410電性連接，最後再進行封膠製程，使得封裝材料494可以一體成型地包覆晶片430、封裝結構體499之晶片460、封裝結構體499之凸塊480、封裝結構體499之載板470、導線450及基板410。此外，就製程而言，亦可以先進行迴焊製程使得封裝結構體499可以透過凸塊480接合到基板410上並與基板410電性連接，接著再將晶片430貼附到基板410之晶片座426上，並且還進行打線製程使晶片430可以透過多個導線450與基板410電性連接，最後再進行封膠製程，使得封裝材料494可以一體成型地包覆晶片430、封裝結構體499之晶片460、封裝結構體499之凸塊480、封裝結構體499之載板470、導線450及基板410。如此，藉由封裝材料494可以提高凸塊480與載板470接合之可靠度及凸塊480與基板410接合的可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知封裝模組之剖面示意圖。

第2圖繪示依照本發明一較佳實施例之一種封裝模組製程的剖面示意圖。

第3圖繪示依照本發明另一較佳實施例之一種封裝模組製程的剖面示意圖。

第4圖繪示依照本發明一較佳實施例之一種封裝模組製程的剖面示意圖。

第5圖繪示依照本發明一較佳實施例之一種封裝模組製程的剖面示意圖。

第6圖繪示依照本發明一較佳實施例之一種封裝模組製程的剖面示意圖。

第7圖係繪示依照本發明再一較佳實施例之一種多晶片封裝模組的剖面放大示意圖。

第8圖係繪示依照本發明又一較佳實施例之一種多晶片封裝模組的剖面放大示意圖。



六、申請專利範圍

1. 一種多晶片封裝模組，包含：

一基板；

至少一第一晶片，配置於在該基板上；

複數條導線，電性連接該第一晶片與該基板；

至少一封裝結構體，該封裝結構體至少具有複數個凸塊，該封裝結構體係藉由該些凸塊固定在該基板上並與該基板電性連接；以及

一封裝材料，係一體成型地至少包覆該第一晶片、該些導線、該封裝結構體之該些凸塊及該基板。

2. 如申請專利範圍第1項所述之多晶片封裝模組，其中該第一晶片係為一功能性晶片。

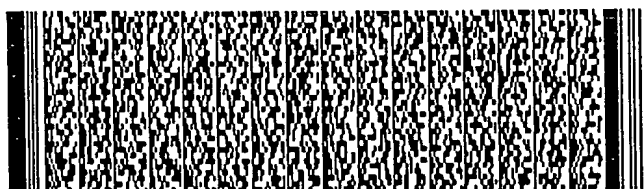
3. 如申請專利範圍第1項所述之多晶片封裝模組，其中該封裝結構體具有一第二晶片，該第二晶片係與該些凸塊電性連接。

4. 如申請專利範圍第3項所述之多晶片封裝模組，其中該第二晶片係為一記憶體晶片。

5. 如申請專利範圍第3項所述之多晶片封裝模組，其中該封裝材料還包覆該封裝結構體之該第二晶片，而該第二晶片之一表面係暴露於該封裝材料外。

6. 如申請專利範圍第5項所述之多晶片封裝模組，還包括一散熱片，該散熱片與該封裝材料及該第二晶片之該表面接觸。

7. 如申請專利範圍第1項所述之多晶片封裝模組，還包括一散熱片，與該封裝材料接觸。



六、申請專利範圍

8. 如申請專利範圍第1項所述之多晶片封裝模組，其中該封裝材料在灌模時的液態溫度要低於該些凸塊之熔點溫度。

9. 如申請專利範圍第1項所述之多晶片封裝模組，該封裝結構體還包括一第二晶片、一載板、複數個子凸塊及一填充材料，而該些凸塊係位在該載板與該基板間，該些子凸塊係位在該第二晶片與該載板間，該第二晶片係藉由該些子凸塊、該載板及該些凸塊電性連接於該基板，該填充材料係填充於該第二晶片與該載板之間，並包覆該些子凸塊。

10. 如申請專利範圍第9項所述之多晶片封裝模組，其中該封裝材料還包覆該封裝結構體之該第二晶片及該封裝結構體之該載板。

11. 如申請專利範圍第1項所述之多晶片封裝模組，該封裝結構體還包括一第二晶片、一載板、複數個子導線及一子封裝材料，而該第二晶片係位在該載板上，該些凸塊係位在該載板與該基板之間並使該載板與該基板電性連接，該些子導線係電性連接於該第二晶片及該載板，該子封裝材料係包覆該第二晶片、該些子導線及該載板。

12. 如申請專利範圍第11項所述之多晶片封裝模組，其中該封裝材料還包覆該封裝結構體之該子封裝材料及該封裝結構體之該載板。

13. 一種多晶片封裝模組製程，至少包括：

提供一基板；



六、申請專利範圍

提供至少一第一晶片；

提供至少一封裝結構體，該封裝結構體具有複數個凸塊；

將該第一晶片貼覆到該基板上；

打上複數個導線，使該第一晶片與該基板電性連接；

利用該些凸塊將該封裝結構體固定到該基板上；以及

進行一封膠製程，形成一封裝材料同時包覆該第一晶片、該些導線、該封裝結構體之該些凸塊及該基板。

14. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中該第一晶片係為一功能性晶片。

15. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中該封裝結構體具有一第二晶片，該第二晶片係與該些凸塊電性連接。

16. 如申請專利範圍第15項所述之多晶片封裝模組製程，其中該第二晶片係為一記憶體晶片。

17. 如申請專利範圍第15項所述之多晶片封裝模組製程，其中在進行該封膠製程時，該封裝材料還同時包覆該第二晶片，而該第二晶片之一表面係暴露於該封裝材料外。

18. 如申請專利範圍第17項所述之多晶片封裝模組製程，其中在進行該封膠製程之後，還要提供一散熱片，使該散熱片與該封裝材料及該第二晶片之該表面接觸。



六、申請專利範圍

19. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中在進行該封膠製程之後，還要提供一散熱片，使該散熱片與該封裝材料接觸。

20. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中在將該第一晶片以其該第一晶片背面貼覆到該晶片座上之後，再打上該些導線使該第一晶片與該基板電性連接，之後，才使該封裝結構體透過該些凸塊固定到該基板上。

21. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中在該封裝結構體透過該些凸塊固定到該基板上之後，才將該第一晶片以其該第一晶片背面貼覆到該晶片座上，之後，再打上該些導線使該第一晶片與該基板電性連接。

22. 如申請專利範圍第13項所述之多晶片封裝模組製程，其中在進行該封膠製程時，該封裝材料的液態溫度要低於該些凸塊之熔點溫度。

23. 如申請專利範圍第13項所述之多晶片封裝模組製程，該封裝結構體還包括一第二晶片、一載板、複數個子凸塊及一填充材料，該些子凸塊係位在該第二晶片與該載板間並使該第二晶片與該載板電性連接，該填充材料係填充於該第二晶片與該載板之間，並包覆該些子凸塊，而在該封裝結構體透過該些凸塊固定到該基板上之後，該些凸塊係位在該載板與該基板之間並使該載板與該基板電性連接。

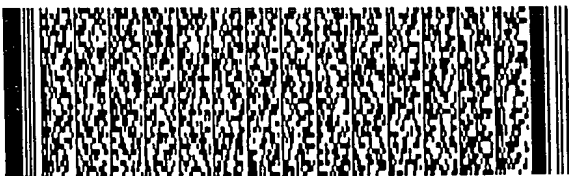


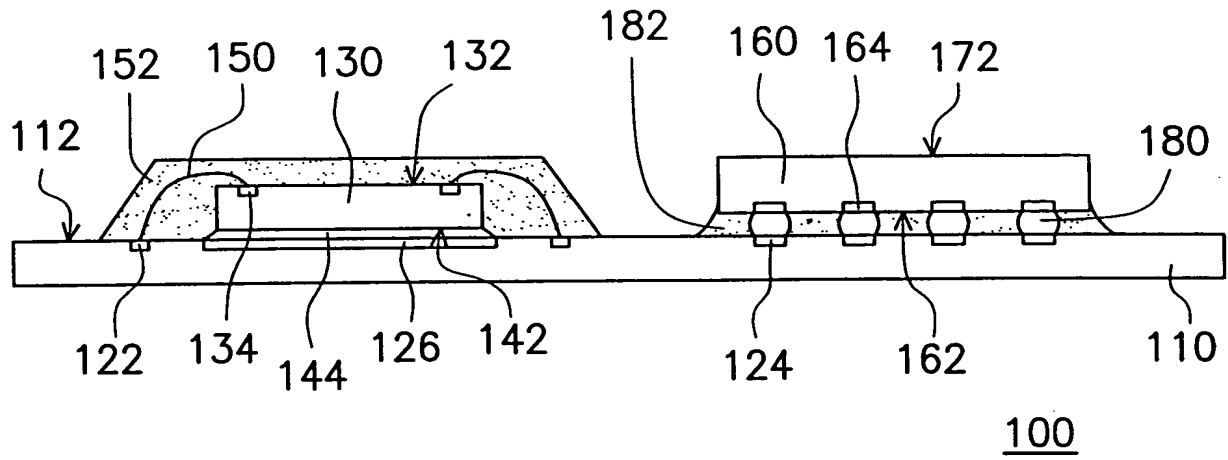
六、申請專利範圍

24. 如申請專利範圍第23項所述之多晶片封裝模組製程，其中在進行該封膠製程時，該封裝材料還同時包覆該封裝結構體之該第二晶片及該封裝結構體之該載板。

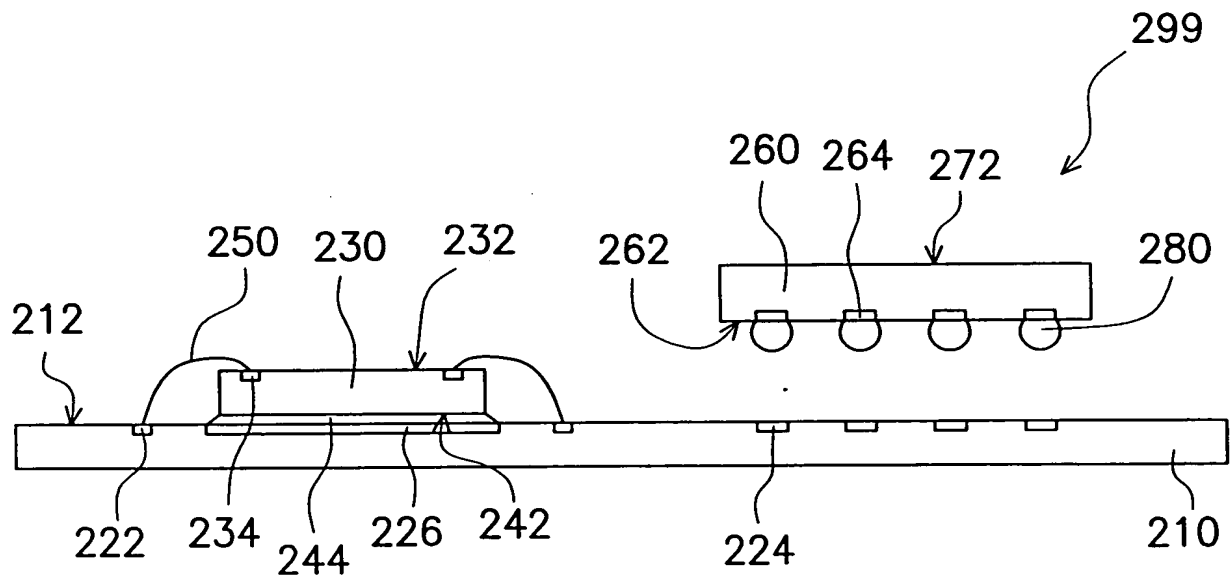
25. 如申請專利範圍第13項所述之多晶片封裝模組製程，該封裝結構體還包括一第二晶片、一載板、複數個子導線及一子封裝材料，而該第二晶片係位在該載板上，該些子導線係電性連接於該第二晶片及該載板，該子封裝材料係包覆該第二晶片、該些子導線及該載板，而在該封裝結構體透過該些凸塊固定到該基板上之後，該些凸塊係位在該載板與該基板之間並使該載板與該基板電性連接。

26. 如申請專利範圍第25項所述之多晶片封裝模組製程，其中在進行該封膠製程時，該封裝材料還同時包覆該封裝結構體之該子封裝材料及該封裝結構體之該載板。

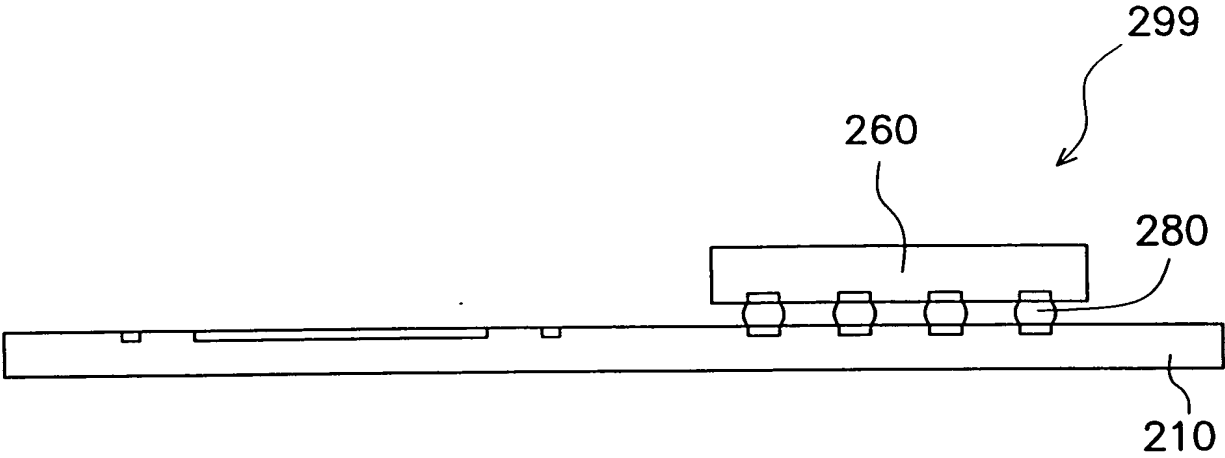




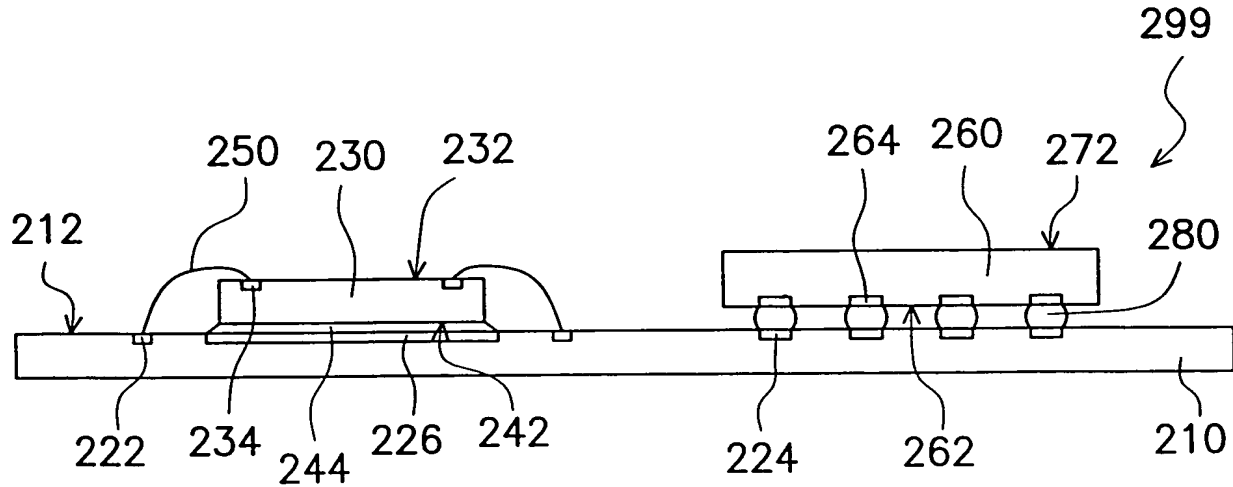
第 1 圖



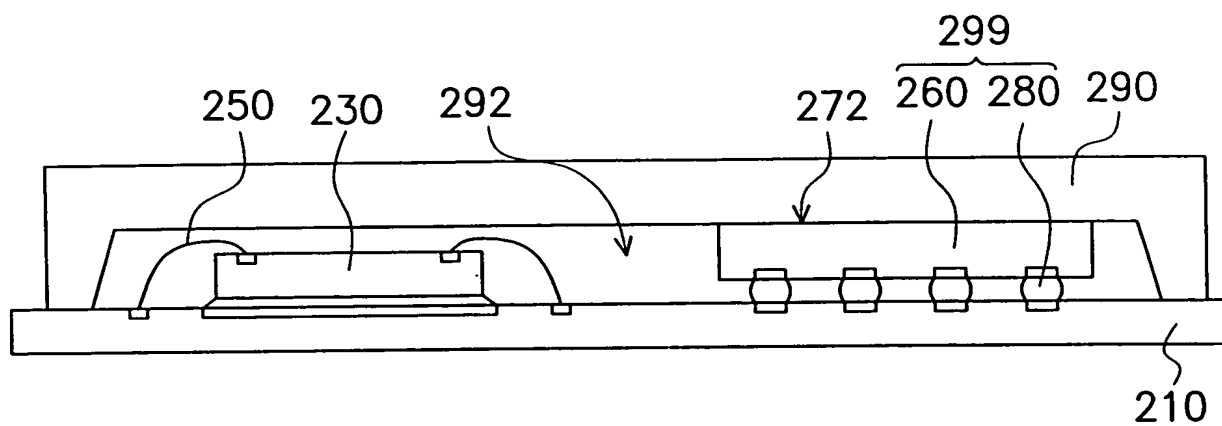
第 2 圖



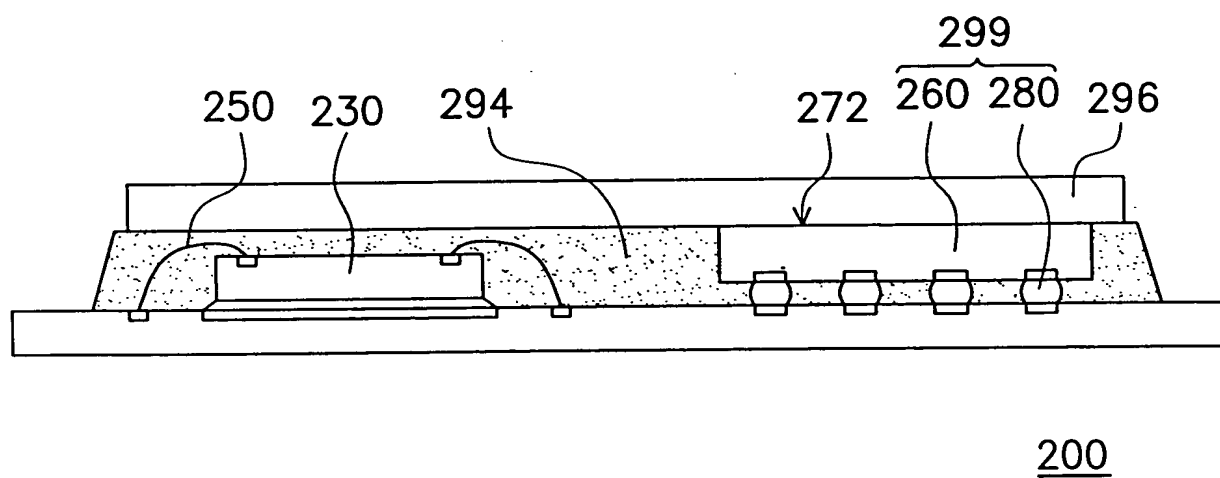
第 3 圖



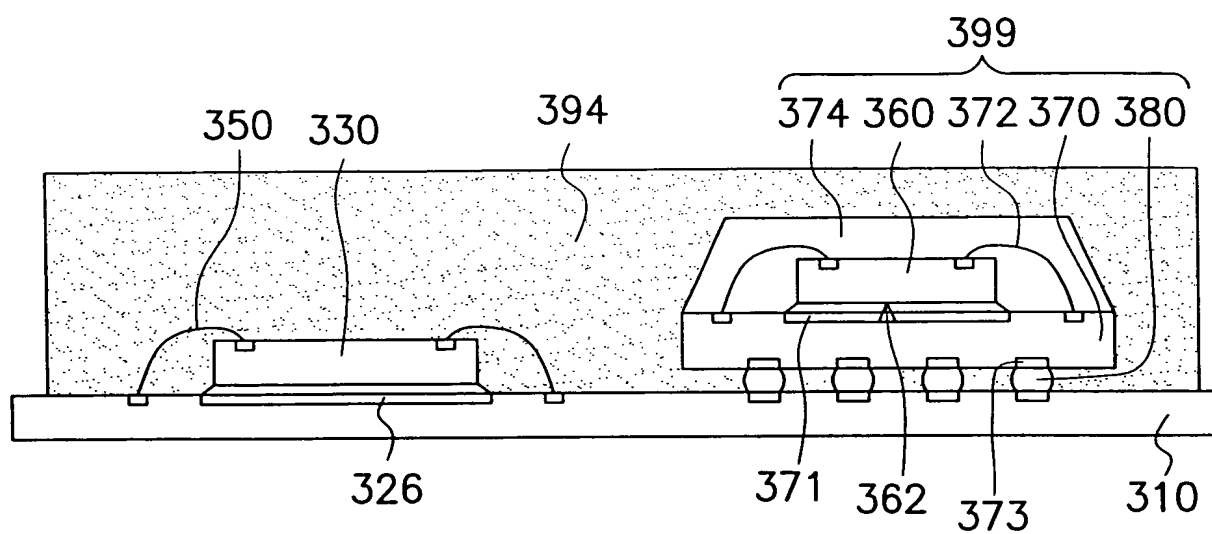
第 4 圖



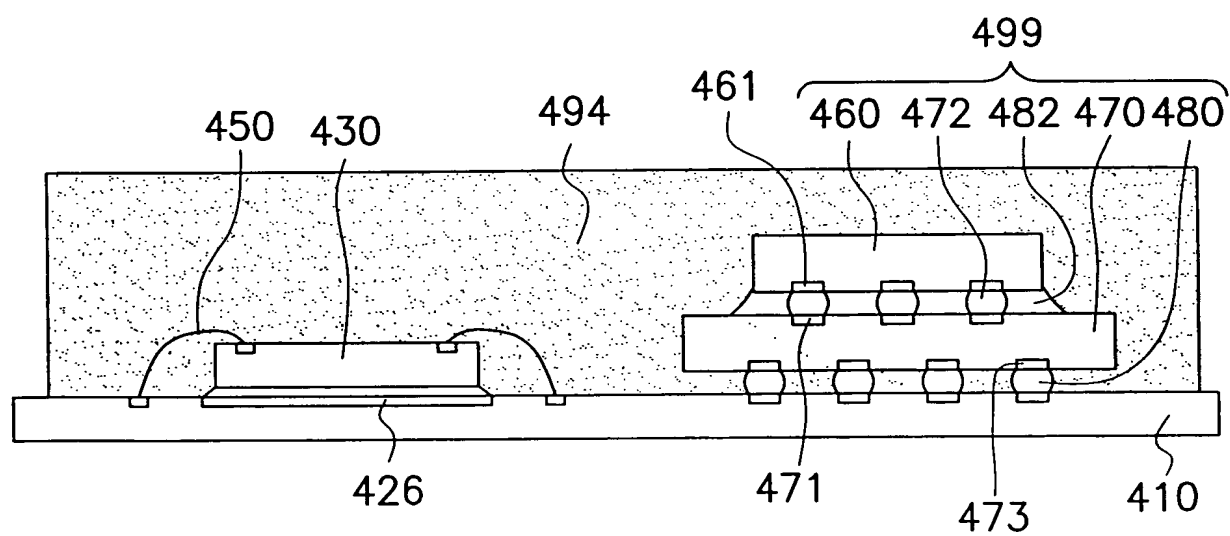
第 5 圖



第 6 圖



第 7 圖



第 8 圖

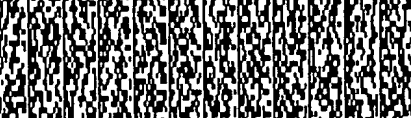
100

100

100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525
 526
 527
 528
 529
 530
 531
 532
 533
 534
 535
 536
 537
 538
 539
 540
 541
 542
 543
 544
 545
 546
 547
 548
 549
 550
 551
 552
 553
 554
 555
 556
 557
 558
 559
 560
 561
 562
 563
 564
 565
 566
 567
 568
 569
 570
 571
 572
 573
 574
 575
 576
 577
 578
 579
 580
 581
 582
 583
 584
 585
 586
 587
 588
 589
 590
 591
 592
 593
 594
 595
 596
 597
 598
 599
 600
 601
 602
 603
 604
 605
 606
 607
 608
 609
 610
 611




100



100

100

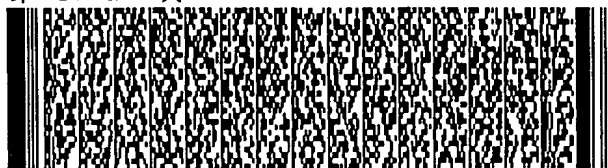


100

第 12/22 頁



第 12/22 頁



第 13/22 頁



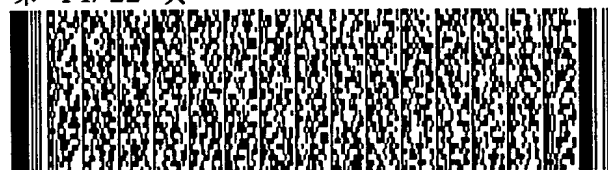
第 13/22 頁



第 14/22 頁



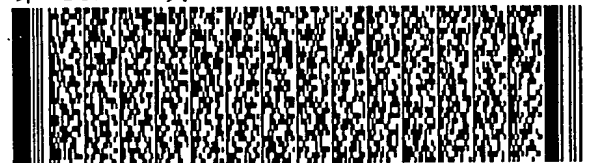
第 14/22 頁



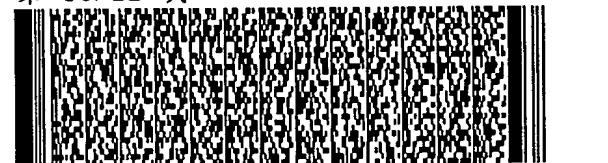
第 15/22 頁



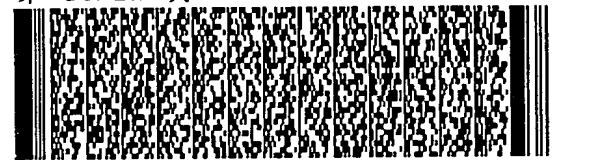
第 15/22 頁



第 16/22 頁



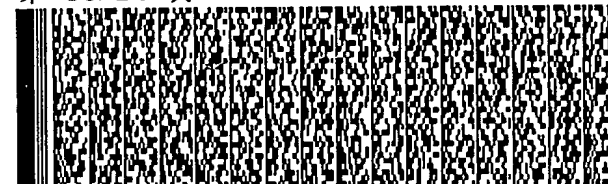
第 16/22 頁



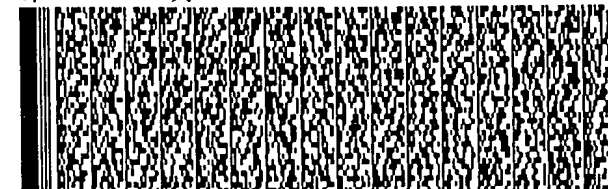
第 17/22 頁



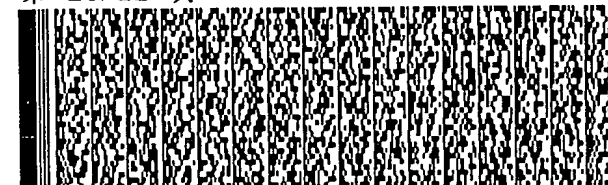
第 18/22 頁



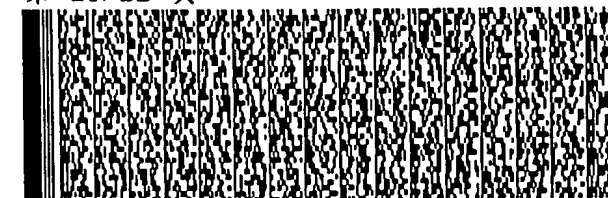
第 19/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁

